

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
⑫ 公開特許公報(A) 平1-136404

⑤ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 平成1年(1989)5月29日
H 03 F 3/70 6658-5J
H 03 H 11/26 7922-5J
審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 遅延回路の読出し回路

⑯ 特 願 昭63-253943

⑰ 出 願 昭63(1988)10月11日

優先権主張 ⑱ 1987年10月12日 ⑲ オランダ(NL) ⑳ 8702425

㉑ 発 明 者 アーノルダス・ヨハネ オランダ国5621 ベーアー アインドーフエン フルーネ
ス・ユリアナ・ボーデ バウツウェツハ1
ウイエインス

㉒ 出 願 人 エヌ・ペー・フィリツ オランダ国5621 ベーアー アインドーフエン フルーネ
ブス・フルーイラジベ バウツウェツハ1
ンファブリケン

㉓ 代 理 人 弁理士 杉村 曉秀 外1名

明 細 書

1. 発明の名称 遅延回路の読出し回路

2. 特許請求の範囲

1. 遅延回路(3)の複数個の容量性記憶素子(5, 7, 9, 11)を、これら記憶素子の順次の書込みに対して遅れて、遅延回路の出力端子(41)に入力端子(61)が結合された増幅器(63)によって順次に読出す遅延回路の読出し回路において、前記増幅器(63)は前記の第1入力端子(61)に対し差信号入力端子を構成する第2入力端子(65)を有するものとし、その第1入力端子及び第2入力端子をサンプリング回路(55, 57)を経て遅延回路の出力端子(41)及び遅延回路の出力インピーダンス(47)に等しいインピーダンス(67)にそれぞれ結合し、且つこの増幅器の出力端子(45)を負帰還インピーダンス(73, 75)を経て第2入力端子(65)に結合し、記憶素子の読出し中において前記サンプリング回路の動作状態時にこの負帰還インピーダンス(73, 75)がこの増幅器

の出力端子からその第2入力端子(65)の入力インピーダンスへの電圧分配を行うようにし、この電圧分配は読出すべき記憶素子(5, 7, 9, 11)のインピーダンスと、遅延回路(3)の出力インピーダンスと第1入力端子(61)の入力インピーダンスの並列回路との直列回路によって発生される電圧分配に等しくして読出し中この増幅器(63)の出力端子(45)の電圧が当該記憶素子の無負荷電圧に略々等しくなるようにすると共に前記サンプリング回路が不作動のときこの増幅器がホールド回路として作用するようにしたことを特徴とする遅延回路の読出し回路。

2. 前記負帰還インピーダンスはコンデンサとして接続した2個のトランジスタ(73, 75)の直列配置で構成し、これらトランジスタのゲート電極をクランプ期間中別のトランジスタ(85)を経て十分高い電圧にし得るようにしてなることを特徴とする請求項1記載の読出し回路。

3. 発明の詳細な説明

本発明は遅延回路の複数個の容量性記憶素子を、これら記憶素子の順次の書込みに対して遅れて、遅延回路の出力端子に入力端子が結合された増幅器によって順次に読出す遅延回路の読出し回路に関するものである。

上述のタイプの読出し回路は「Fernseh-und Kinotechnik」1976, № 3, pp81-85、特に第5及び第6図から既知である。

この刊行物の読出し回路の増幅器は読出すべき容量性記憶素子と短絡回路とにより交互に発生される信号を受信する。遅延回路の出力容量及び増幅器の入力容量のために、この信号は小さな振幅を有し、増幅器は広帯域幅に亘って大きな利得を有する必要がある。また、遅延回路の記憶素子のバラツキのために、例えば読出し回路の出力信号が遅延回路の入力信号に対し所定の比を有する必要がある場合に、何の調整の必要もなしに、読出し回路の出力端子に所定の信号レベルを得ることが困難になる。これは例えば遅延回路をビデオ信

号内の妨害現象を除去するコンフィルタ回路に組み込む場合である。

本発明の目的は、増幅回路に厳しい要件を課す必要がなく且つ読出し回路の出力信号と遅延回路の入力信号との間に所定の比を得るために調整を行う必要のない読出し回路を提供することにある。

この目的のために、本発明は上述したタイプの遅延回路の読出し回路において、前記増幅器は前記の第1入力端子に対し差信号入力端子を構成する第2入力端子を有するものとし、その第1入力端子及び第2入力端子をサンプリグ回路を経て遅延回路の出力端子及び遅延回路の出力インピーダンスに等しいインピーダンスにそれぞれ結合し、且つこの増幅器の出力端子を負帰還インピーダンスを経て第2入力端子に結合し、記憶素子の読出し中において前記サンプリグ回路の動作状態時にこの負帰還インピーダンスがこの増幅器の出力端子からその第2入力端子の入力インピーダンスへの電圧分配を行うようにし、この電圧分配は読出すべき記憶素子のインピーダンスと、遅延回路

の出力インピーダンスと第1入力端子の入力インピーダンスの並列回路との直列回路によって発生される電圧分配に等しくして読出し中この増幅器の出力端子の電圧が当該記憶素子の無負荷電圧に略々等しくなるようにすると共に前記サンプリグ回路が不作動のときこの増幅器がホールド回路として作用するようにしたことを特徴とする。

上述の増幅器はホールド回路として作用し、遅延回路の出力容量の放電サイクルを処理する必要がないため、その帯域幅を小さくし得ると共にその利得はインピーダンス比によって決まり、このインピーダンス比は集積回路においては回路素子の寸法の比にのみ依存し、製造処理と無関係に極めて精密にすることができる。

図面につき本発明を説明する。

第1図は本発明読出し回路の一実施例の簡略回路図を示す。第1図において、遅延すべき信号、例えば1ライン期間に亘って遅延すべきビデオ信号は遅延回路3の入力端子1に供給される。

遅延回路3は複数個の容量性記憶素子5、7、

9、11を具え、これら記憶素子には書込みスイッチ13、15、17、19をそれぞれ短時間閉じることによりビデオ信号サンプルが順次書込まれる。これらのビデオ信号サンプルは関連する書込みスイッチが閉じる瞬時に発生するビデオ信号の振幅を表わす。

所定の遅延期間後、本例では1ライン期間後に、これら容量性記憶素子が読出しスイッチ21、23、25、27をそれぞれ短時間閉じることにより順次読出される。

書込みスイッチ13、15、17、19及び読出しスイッチ21、23、25、27はパルス発生器39の複数の出力端子29、31、33、35、37からのスイッチング信号により駆動される。

読出しスイッチ21、23、25、27からの遅延されたビデオ信号サンプルは遅延回路3の出力端子41から読出し回路43を経て読出し回路の出力端子45に供給される。

遅延回路3の出力端子41は略々容量性の出力インピーダンスを有し、これをコンデンサ47で示し

である。読出しスイッチ21, 23, 25, 27の順次の閉成期間の間の各時間間隔中に、コンデンサ47がスイッチングトランジスタ49により基準電圧源51に接続され、これにより放電される。スイッチングトランジスタ49はパルス発生器39の出力端子53からのスイッチング信号により駆動される。

各読出しスイッチ21, 23, 25, 27の閉成期間中、パルス発生器39の出力端子59からのスイッチング信号により駆動される2個のスイッチングトランジスタ55, 57から成るサンプリング回路が動作する。このときスイッチングトランジスタ55が遅延回路3の出力端子11及び従ってコンデンサ47を増幅器63の第1入力端子61に接続する。同時に、この増幅器63の第1入力端子61に対し差信号入力端子を構成する第2入力端子65がスイッチングトランジスタ57を経て、コンデンサ47で示す遅延回路3の出力インピーダンスに等しい略々容量性のインピーダンス（コンデンサ67で示してある）に接続される。このコンデンサ67のインピーダンスは、例えば読出しスイッチ21, 23, 25, 27の該当部分

と出力端子41のそれらの相互接続部を模造することによりコンデンサ47のインピーダンスに正確に等しくすることができる。

増幅器63の入力端子61及び65はそれぞれコンデンサ69及び71で図示してある略々容量性の入力インピーダンスを有する。これらコンデンサ69, 71の容量は増幅器63のそれぞれの入力回路部を同一に形成することにより互いに等しくする。

読出し回路43の出力端子45は増幅器63の出力端子であり、この出力端子をコンデンサとして接続され略々容量性のインピーダンスを構成する2個の同一のトランジスタ73, 75の直列回路を経て増幅器63の第2入力端子65に接続する。

読出し回路43は、ビデオ信号が出力端子45に転送されている期間、例えばライン帰線期間中にバイアスを発生するクランプ回路も含んでいる。このクランプ回路は増幅器63の第1入力端子を基準電圧源51に接続し得るスイッチングトランジスタ81と、増幅器63の出力端子45をその第2入力端子65に接続し得るスイッチングトランジスタ83と、

トランジスタ73及び75のゲート電極をクランプ状態中十分高い正電圧にしてこれらトランジスタがコンデンサを構成するようにせしめるトランジスタ85と、コンデンサ47に接続されたコンデンサ接続のトランジスタ89のゲート電極をクランプ状態中十分高い正電圧にしてこのトランジスタがコンデンサを構成するようにせしめるトランジスタ87とを具える。トランジスタ81, 83, 84, 87はパルス発生器39の出力端子91からのスイッチング信号により駆動され、このスイッチング信号はこれらトランジスタをクランプ期間中上述の状態にせしめる。

サンプリング回路55, 57の動作期間中は第2図に示す状態が生ずる。第2図において第1図と対応する素子は第1図と同一の符号で示してある。

今、読出すべき容量性記憶素子は11であるものとし、その両端間の無負荷電圧を電圧源79で表してある。

増幅器63の第1入力端子61の総合容量は第1図のトランジスタ89の容量と大地に対し並列に配置

された、コンデンサ47と増幅器63の入力容量69との並列回路47, 69で構成され、増幅器63の第2入力端子65の総合容量は第1図のトランジスタ75の容量75aと大地に対し並列に配置された、コンデンサ67と増幅器63の入力容量71との並列回路67, 71で構成される。これらの容量は上述した回路素子の模造によって精密に等しくしてある。

増幅器63の出力端子45と第2入力端子65との間の総合容量73, 75は第1図のコンデンサ73及び75の直列回路で構成される。遅延回路3の容量性記憶素子を構成する回路素子の模造によってこの直列回路は容量性記憶素子11と同一の容量を有する。

従って、電圧源79から増幅器63の第1入力端子61への電圧分配は出力端子45から増幅器63の第2入力端子65への電圧分配に等しいため、及び出力端子45から差信号入力端子として作用するこの第2入力端子65への負帰還信号路はこの第2入力端子65への電圧を第1入力端子61の電圧に等しくせしめるため、増幅器63の出力端子45の電圧が電圧源79の電圧に等しくなる。

サンプリング回路55、57の動作期間後ごとに発生するこの回路の不作動期間は第3図に示す状態が生ずる。第3図において第1及び第2図と対応する素子は第1及び第2図と同一の符号で示してある。

増幅器63の第1入力端子61及び第2入力端子65の電圧は等しいままであるため、増幅器63の出力電圧は変化せず、この増幅器はこの状態ではホールド回路として作用する。遅延回路3の出力コンデンサ47は基準電圧源51の基準電圧に放電される。

第4図にはクランプ期間中の状態を示してある。対応する素子は第1図と同一の符号で示してある。この場合には増幅器63の両入力端子61、65が基準電圧51の基準電圧になる。

4. 図面の簡単な説明

第1図は本発明による遅延回路の読出し回路の一実施例の回路図、

第2図は第1図の読出し回路の読出し状態を示す等価回路図、

第3図は第1図の読出し回路のホールド状態を

示す等価回路図、

第4図は第1図の読出し回路のクランプ状態を示す等価回路図である。

3…遅延回路

5、7、9、11…容量性記憶素子

13、15、17、19…書き込みスイッチ

21、23、25、27…読出しスイッチ

39…パルス発生器

43…読出し回路

47…遅延回路3の出力インピーダンス

49…放電用トランジスタ

51…基準電圧源

55、57…サンプリング回路

63…増幅器

67…インピーダンス47に等しいインピーダンス

69、71…増幅器63の入力インピーダンス

73、75…帰還コンデンサ

81、83、85、87、89…クランプ回路

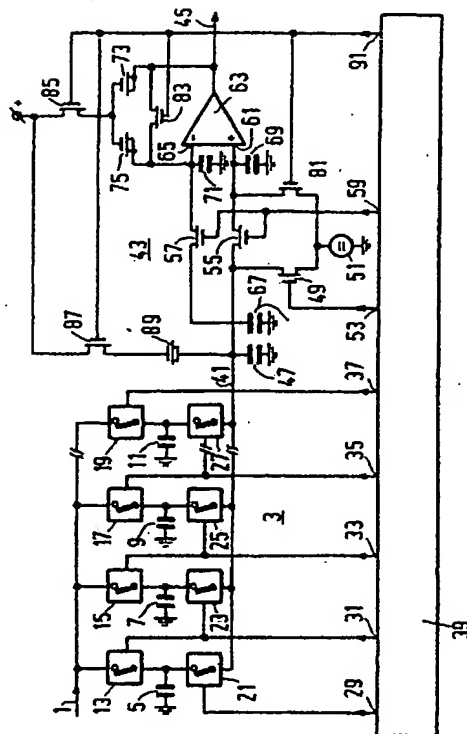


FIG. 1

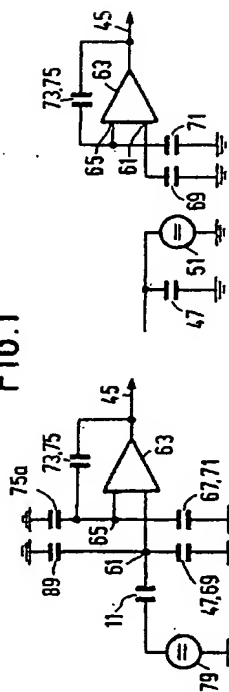


FIG. 2

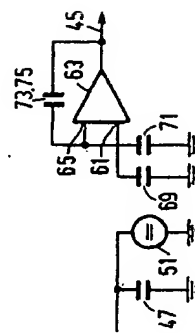


FIG. 3

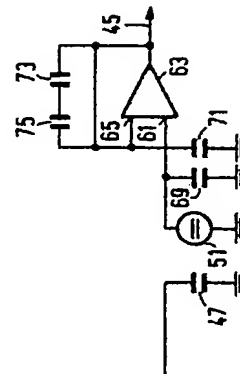


FIG. 4